

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-20197

(43)公開日 平成5年(1993)1月29日

(51)Int.Cl.⁵
G 0 6 F 12/10

識別記号 庁内整理番号
A 7232-5B

F I

技術表示箇所

審査請求 未請求 請求項の数10(全 17 頁)

(21)出願番号 特願平3-194756

(22)出願日 平成3年(1991)7月9日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 高木 克明

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所武藏工場内

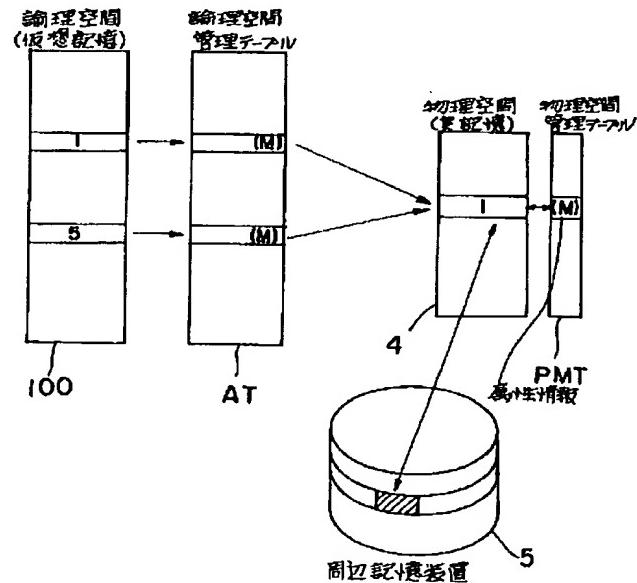
(74)代理人 弁理士 玉村 静世

(54)【発明の名称】 記憶管理システム及びマイクロプロセッサ

(57)【要約】

【目的】 物理空間に関する属性情報をシステムで要求される分解能をもって管理すると共に、ページ共有やマルチプロセッサシステムにおいても属性情報と関連させて物理空間を信頼性を以て管理することにある。

【構成】 仮想記憶をサポートするシステムにおいて、複数領域の集合として把握される物理空間の夫々の領域の属性情報を当該物理空間の領域と対応づけて保持するための物理空間管理テーブルPMTをマイクロプロセッサ1の外部に配置する。マイクロプロセッサ1には、その物理空間管理テーブルPMTから属性情報を取得して管理するための物理空間管理手段3を設ける。属性管理のための処理の高速化のために、前記物理空間管理手段3は、物理空間管理テーブル検索制御手段PSTと、この物理空間管理テーブル検索制御手段PSTで得られた属性情報と物理後アドレスとを対応づけて一次的に保持する物理情報バッファ手段PIBとを含む。



【特許請求の範囲】

【請求項 1】 仮想記憶としての論理空間に対応する論理アドレスを生成するマイクロプロセッサと、論理空間に対応する物理空間としての物理空間と、論理空間の論理アドレスを物理空間の実アドレスに変換する情報を保持するための論理空間管理テーブルと、論理空間管理テーブルが保有する情報をを利用して論理アドレスを実アドレスに変換するための論理空間管理手段と、複数領域の集合として把握される物理空間の夫々の領域の属性情報を当該物理空間の領域と対応づけて保持するために前記マイクロプロセッサの外部に配置された物理空間管理テーブルと、この物理空間管理テーブルから属性情報を取得して管理するために前記マイクロプロセッサに設けられた物理空間管理手段と、を有して成る記憶管理システム。

【請求項 2】 前記物理空間管理手段は、物理アドレスによる外部アクセスに先立って当該物理アドレスに対応する属性を含む情報を物理空間管理テーブルから検索する機能を少なくとも有する物理空間管理テーブル検索制御手段と、前記物理空間管理テーブル検索制御手段で得られた情報を一次的に保持する物理情報バッファ手段とを有してなるものである請求項 1 記載の記憶管理システム。

【請求項 3】 前記属性情報は、物理空間に割り当たられるハードウェアとの間でデータ転送を行うために必要なバスのサイズを指定するためのバスサイズ情報を含むものである請求項 2 記載の記憶管理システム。

【請求項 4】 前記物理空間管理テーブル検索制御手段は、物理空間管理テーブル及び前記物理情報バッファ手段の情報に含まれる属性情報を書き換える機能を有するものである請求項 3 記載の記憶管理システム。

【請求項 5】 1 次記憶とされる物理空間に対して 2 次記憶とされる周辺記憶装置を更に有し、このとき前記属性情報は、物理空間上の領域に対して情報を参照したか否かを示す参照情報及び物理空間上の領域に対して情報を変更したか否かを示す変更情報を含むものである請求項 4 記載の記憶管理システム。

【請求項 6】 所定の手順に従ってフェッチした命令を解読し、これによって得られる制御信号に基づいて命令を実行する命令制御実行手段と、

内部で生成される論理アドレスを実アドレスに変換して出力するための論理空間管理手段と、

論理空間管理手段で生成される実アドレスの属性を管理するための物理空間管理手段とを含み、

前記物理空間管理手段は、物理空間の物理アドレスと当該物理アドレスによって特定される領域の属性情報をと対にした物理情報対を保持するための物理情報バッファ手段と、前記命令制御実行手段又は論理空間管理手段で

生成された物理アドレスに対応する物理アドレスを含む物理情報対が前記物理情報バッファ手段に存在しない場合には、当該物理アドレスに対応する属性情報を外部から検索する物理空間管理テーブル検索制御手段とを含んで、

成るものであるマイクロプロセッサ。

【請求項 7】 前記物理情報バッファ手段は、前記命令制御実行手段又は論理空間管理手段で生成された物理アドレスに対応する物理アドレスを含む物理情報対が存在するか否かを判定し、存在しない場合にはその旨を前記物理空間管理テーブル検索制御手段に通知し、存在する場合には該当する属性情報を出力するものである請求項 6 記載のマイクロプロセッサ。

【請求項 8】 前記物理情報バッファ手段から出力される物理情報を受けて、外部とのデータ転送に必要なバスのサイズを指定するための信号を出力可能なバス制御部を更に含んで成る請求項 7 記載のマイクロプロセッサ。

【請求項 9】 前記物理空間管理テーブル検索制御手段は、物理空間管理テーブルのアドレスを指定するための単数若しくは複数のベースレジスタを有し、ベースレジスタの値と物理アドレスの一部との演算で得られる値、又は／及び、この値と前記物理アドレスの残りの一部又は全部との演算で得られる値に基づいて物理空間管理テーブルを検索するものである請求項 6 乃至 8 の何れか 1 項記載のマイクロプロセッサ。

【請求項 10】 前記物理空間管理テーブル検索制御手段は、物理空間管理テーブル及び前記物理情報バッファ手段の情報に含まれる属性情報を整合させるために書き換える機能を有するものである請求項 6 乃至 9 の何れか

30 1 項記載の記憶管理システム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は記憶管理システム並びに同システムに利用されるマイクロプロセッサに関し、特に物理空間の属性を物理空間管理テーブルで管理する技術に関し、例えば、論理空間管理（仮想記憶管理）機構をもつマルチプロセッサシステムに適用して有効な技術に関するものである。

【0002】

40 【従来の技術】 物理空間に関する属性の一例としてバスのサイズがある。図 13 は物理空間上のメモリマップの一例が示される。この例では、大部分のメモリはバスサイズが 32 ビットであるが、一部の ROM は 16 ビット、入出力装置 (I/O で示す) は 8 ビットとなっている。このような可変バスサイズを実現する方法としてダイナミックバスサイジングと呼ばれる方法がある。この方法では、プロセッサが外部バスに対してアクセスを行うと、外部のバスコントローラがそのアドレスに対するバスサイズを応答し、プロセッサ側は応答されたバスサイズに従って処理を行うようになっている。外部コント

ローラにバスサイズの情報が設定されているので、外部バスに16ビットと32ビットのデバイス(メモリ等)が混在していても、プログラムで意識することなくアクセスすることができる。このようにダイナミックバスサイジングはバスサイズに関して融通性に富むが、外部のバスコントローラからの応答によって次のバスサイクルのアドレスが決まるので、高速化には向かない。一方物理空間に関する属性の他の例としてアドレスパイプラインがある。この機能は現在のバスアクセスが完了する前に次のアドレスを出すことによって、メモリのアクセス時間を見掛け上小さくすることができる機能である。従来のマイクロプロセッサではダイナミックバスサイジングと同様、外部のバスコントローラが指定されたアドレスに対してパイプラインができるかどうかをプロセッサに対し応答するようになっている。

【0003】バスサイズ指定を高速化する技術としては特開昭62-232062号に開示されたものがある。これは、図14に示されるように、プロセッサ上に物理アドレスとバスサイズの関係を指定するレジスタを設け、物理アドレスに対応してプロセッサ内部でバスサイズを決定できるようにするものである。ポート幅保持レジスタは物理アドレスを幾つかの領域に区分し、領域毎のバスサイズを保持するレジスタである。物理アドレスはアドレス判別回路に入力され、どの領域に属するかが判別された後対応するポート幅保持レジスタからバスサイズ情報が読み出される。この結果に応じてバイト選択制御装置が動作する。このようにしてプロセッサ内部でバスサイズが決定された後バスアクセスが開始されるので、高速化しやすい。

【0004】物理空間に関する更に別の属性として論理空間管理における物理ページの参照、変更情報がある。これは物理アドレスでアクセスされるメモリを1次記憶、磁気ディスク等を2次記憶とする論理空間システムにおいて、論理空間を2次記憶のページに対応付けており、論理空間上のページが1次記憶上に存在しないとき、オペレーティングシステムの介在によって2次記憶上のページを1次記憶上に取り込み、実行するものである。この場合1次記憶に空きがないときには一部のページを2次記憶に退避し、そこに新しいページを入れる必要がある。このページの入れ替えのために使われる情報が物理ページの参照、変更情報である。これらの情報は一般に論理空間管理テーブル内に用意されている。この情報は本来物理空間に対応付けて管理されるべきものであるが、既に論理空間管理テーブルが存在しているのでこの中に設けると簡単であるため、論理空間管理テーブル内に設けられていた。

【0005】

【発明が解決しようとする課題】前記アドレスパイプラインと可変バスサイズを同時に行おうとすると、外部のバスコントローラが応答を返す方式では実現できない。

これはアドレスパイプラインでは次のサイクルのアドレスを予め用意しておき、バスコントローラからの応答が返ってきたらすぐに次のバスサイクルを開始しなくてはならないが、ダイナミックバスサイジングは外部のバスコントローラからの応答によって次のバスサイクルのアドレスが決まり、その後アドレスの加算等の処理を行うので、アドレスパイプラインのバスタイミングには間に合わないためである。

【0006】またバスサイズ指定の方法として知られているような、プロセッサ内にバス幅保持レジスタをもつ方法の場合、レジスタとして持てる本数は限られるため、管理対象の領域サイズが大きくなりすぎるという欠点がある。例えば4Gバイトのアドレス空間があつてレジスタ16本で等分割して指定する場合、各領域サイズは256Mバイトとなる。しかし一般に実装されるメモリバイト数は時代と共に増大するものの全体で数Mバイトから数十Mバイト程度である。従ってレジスタ指定による方法では物理空間の管理に本来要求される細かさで制御することは困難である。

【0007】さらに、論理空間管理における物理ページの参照、変更情報は、従来論理空間管理テーブル内に用意されているが、論理空間上の異なるアドレスに対して同一の物理アドレスを割り付けるページ共有を行った場合、およびマルチプロセッサ構成において各プロセッサが別々の論理空間管理テーブルを使用する場合、一つの物理アドレスに対して複数の参照、変更情報が対応することになる。従来このような場合の管理はオペレーティングシステムに任せているが、特にマルチプロセッサにおける管理は複雑となり管理は容易ではない。

【0008】本発明の目的は、システムの要求仕様に応じて物理空間をその用途に応じて如何様にも細かくマッピングしても、バスサイズや仮想記憶システムにおけるページ入れ替えのために利用される参照並びに変更情報など物理空間に関する属性情報を、システムで要求される細かさ若しくは分解能をもって管理することができる記憶管理システムならびに同システムに好適なマイクロプロセッサを提供することにある。さらに物理空間に関する属性管理のための構成がマイクロプロセッサのチップ面積増大をもたらさず、且つその属性情報を利用する指示の生成処理速度を犠牲にしない記憶管理システム並びに同システムに好適なマイクロプロセッサを提供することにある。

【0009】また本発明の別の目的は、アドレスパイプラインと可変バスサイズの処理とを並行して行うことができる記憶管理システム並びに同システムに好適なマイクロプロセッサを提供することにある。

【0010】本発明の更に別の目的は、論理空間上の異なるアドレスに対して同一の物理アドレスを割り付けるページ共有を行った場合、およびマルチプロセッサ構成において各プロセッサが別々の論理空間管理テーブルを

使用する場合、一つの物理アドレスに対して複数の参照、変更情報が対応されることに起因する矛盾を生ぜず、物理空間の管理が比較的簡単であって、且つ、ページ入れ替えなどに伴う処理を簡単化することができる記憶管理システム並びに同システムに好適なマイクロプロセッサを提供することにある。

【0011】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0012】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0013】すなわち、仮想記憶をサポートするシステムにおいて、複数領域の集合として把握される物理空間の夫々の領域の属性情報を当該物理空間の領域と対応づけて保持するための物理空間管理テーブルをマイクロプロセッサの外部に配置する。そして、マイクロプロセッサには、その物理空間管理テーブルから属性情報を取得して管理するための物理空間管理手段を設けるものである。

【0014】属性管理のための処理の高速化のために、前記物理空間管理手段は、物理空間管理テーブル検索制御手段と、この物理空間管理テーブル検索制御手段で得られた属性情報と物理後アドレスとを対応づけて一次的に保持する物理情報バッファ手段とを含むことができる。

【0015】前記属性情報が、可変バスサイズのためのバスサイズ情報などのようなシステムのハードウェア構成に従って固定的に決定される属性情報である場合、物理空間管理テーブル検索制御手段は、物理アドレスに対応するエンティリが前記物理情報バッファ手段に存在しない場合に、物理アドレスによる外部アクセスに先立って当該物理アドレスに対応する属性情報を物理空間管理テーブルから検索する機能を有する。

【0016】バスサイズ情報は、マイクロプロセッサのバス制御部に供給され、バス制御部は、そのバスサイズ情報に基づいてバスサイズを指定するための信号をマイクロプロセッサの内外に出力する。

【0017】1次記憶とされる物理空間と2次記憶とされる周辺記憶装置との間のページ入れ替えを考慮したとき、前記属性情報は、物理空間上の領域に対して情報を参照したか否かを示す参照情報及び物理空間上の領域に対して情報を変更したか否かを示す変更情報を含む。このとき、前記物理空間管理テーブル検索制御手段は、物理空間管理テーブル及び前記物理情報バッファ手段の情報に含まれる属性情報を書き換える機能を有する。

【0018】物理空間管理テーブルのためのメモリ利用効率を上げ、且つ、物理空間に対して属性情報の管理を極めて細かく行うには、物理空間管理テーブルに対し

て、物理セクションテーブルや物理ページテーブルのような複数レベルのテーブル構造を採用するとよい。これにしたがって、前記物理空間管理テーブル検索制御手段は、物理空間管理テーブルのアドレスを指定するための単数若しくは複数のベースレジスタを有し、ベースレジスタの値と物理アドレスの一部との演算で得られる値、又は／及び、この値と前記物理アドレスの残りの一部又は全部との演算で得られる値に基づいて物理空間管理テーブルを検索する機能を有する。

10 【0019】

【作用】上記した手段によれば、マイクロプロセッサの外部に配置される物理空間管理テーブルには物理空間の利用形態若しくはマッピング状態に応じ必要とされる如何様な属性情報をも配置しておくことができ、且つ、マイクロプロセッサ内部の記憶手段の記憶容量に影響されない。このことは、システムの要求仕様に応じて物理領域をその用途などに応じて如何様にも細かくマッピングしても、バスサイズやページ入れ替えのために利用される参照並びに変更情報など物理空間に関する属性情報

20 20 【0019】

【0020】マイクロプロセッサは物理空間管理テーブルから検索した属性情報を物理アドレスと対応づけて一次的に保持するバッファ手段を有し、アクセス動作に際してその物理アドレスに対応する有効なエンティリが当該バッファ手段にある場合にはその属性情報を利用する。このことは、物理空間に関する属性管理のための構成がマイクロプロセッサのチップ面積増大をもたらさず、且つバスサイズ情報などの属性情報を利用するための指示の生成を高速化するように作用する。

30 【0021】

【0021】属性情報は物理空間に直接的に対応付けされて管理され、論理空間上の異なるアドレスに対して同一の物理アドレスを割り付けるページ共有を行った場合、およびマルチプロセッサ構成において各プロセッサが別々の論理空間管理テーブルを使用する場合でも、一つの物理アドレスに対して一つの参照、変更情報が対応される。このことは、参照、変更情報と物理アドレスの相互間で矛盾を生ぜず、且つ、参照、変更情報の管理を極めて容易にする。

40 【0022】

【実施例】本発明に係る記憶管理システム及び物理空間管理方式の実施例を順次項目に従って説明する。

【0023】〔1〕記憶管理の概要

【0024】図1には本発明が適用される記憶管理の概要が示される。同図において100はアーキテクチャ上の論理アドレス（仮想アドレス）によって表される仮想の記憶空間としての論理空間（仮想記憶）、4はハードウェアとして存在して物理アドレス（実アドレス）で参照される物理空間（実記憶）、5は磁気ディスク装置のような周辺記憶装置である。ATは論理空間上の論理ア

ドレスと物理空間上の物理アドレスとの対応関係を示す論理空間管理テーブルであり、アドレス変換時にはその論理空間管理テーブル A T の内容を参照して論理アドレスを物理アドレスに変換する。この例の記憶管理では、物理アドレスでアクセスされる物理空間 4 を 1 次記憶、周辺記憶装置 5 を 2 次記憶とする。論理空間 1 0 0 は、特に制限されないが、2 次記憶 5 のページに対応付けられる。論理空間 1 0 0 上のページが 1 次記憶 4 上に存在しないとき、例えばオペレーティングシステムの介在によって 2 次記憶 5 上のページを 1 次記憶 4 上に取り込む。このとき 1 次記憶 4 に空きがないときは一部のページを 2 次記憶 5 に退避し、そこに新しいページを入れる。このページの入れ替えのために物理ページの参照情報及び変更情報が利用される。参照情報は物理空間 4 上で記憶情報を参照したか否かを示す情報とされ、変更情報は 1 次記憶 4 上で記憶情報を書き換えられたか否かを示す情報とされる。ページ入れ替えに際して、参照も変更もされていないページが有ればその内容を待避することなく当該ページを物理空間 4 から追い出し、変更されているページを追い出すときには待避を行う。これら物理ページの参照並びに変更情報は、後述するバスサイズ情報と共に物理空間 1 0 1 に関する属性情報とされる。これら属性情報は物理アドレスに対応づけられて物理空間管理テーブル P M T が保有する。この物理空間管理テーブル P M T は、論理空間管理テーブル A T とは独立に物理空間 4 上に構成され、対応する物理アドレスへの書き込みなどの状況に応じて所定の属性情報が更新される。

【0025】このようにそれら属性情報は物理空間 4 に直接的に対応付けられて管理される。したがって、論理空間上の異なるアドレスに対して同一の物理アドレスを割り付けるページ共有を行った場合、およびマルチプロセッサ構成において各プロセッサが別々の論理空間管理テーブルを使用する場合でも、一つの物理アドレスに対して一つの参照、変更情報が対応されることになる。これに対して従来のように論理空間管理における物理アドレスの参照、変更情報を論理空間管理テーブル内で論理アドレスに対応させて管理する場合に、ページ共有を行ったり、マルチプロセッサ構成において各プロセッサが別々の論理空間管理テーブルを使用したりするときには、一つの物理アドレスに対して複数の参照、変更情報が対応されることになる。このことにより、本実施例の記憶管理によれば、参照、変更情報と物理アドレスの相互間で矛盾を生ぜず、参照、変更情報の管理が極めて簡単になる。尚、前記ページ共有は、例えば小プロセスが起動されたりすることによって同一物理ページに相互に異なる論理ページが割り当てられることによって生ずる。

【0026】〔2〕記憶管理システム

【0027】図 2 には図 1 に示した記憶管理を適用した

- 本発明の一実施例に係る記憶管理システムが示される。1 はマイクロプロセッサ、4 は 1 次記憶としてのメインメモリ、5 は 2 次記憶としての磁気ディスク装置である。メインメモリ 4 はハードウェアとして存在して物理アドレスで参照される物理空間として位置づけられ、同図においては作業領域、データの一次記憶領域、及び周辺回路のバッファ領域などを構成するメモリの総称とされる。マイクロプロセッサ 1 は、アーキテクチャ上の論理アドレスによって表される仮想の記憶空間としての論理空間をサポートし、論理アドレスを物理アドレスに変換したりする論理空間管理のための機構として論理空間管理機構 2 を有する。さらに、前記物理ページの参照及び変更情報、並びに後述するバスサイズ情報などの物理空間に関する属性情報を物理アドレスに対応させて管理したりするために物理空間管理機構 3 が設けられている。論理空間管理のための前記論理空間管理テーブル A T 及び物理空間管理のための前記物理空間管理テーブル P M T はそれぞれメインメモリ 4 の所定の記憶領域に配置されている。
- 20 【0028】マイクロプロセッサ 1 において 11 で示される機能ブロックは、命令制御ユニット及び実行ユニットを含む命令制御実行ユニットである。命令制御ユニットは、所定の手順に従って命令をフェッチしてこれを解読し、その解読結果に従って実行ユニットやその他の部分に適切な制御信号を与える。実行ユニットは、演算装置や記憶装置を有し、命令制御ユニットから与えられる制御に従って各種演算等のデータ処理を行う。各種データの処理に必要なデータはデータバス D B を介して外部との間で転送される。そのためのデータ入力レジスタ D I R 、データ出力レジスタ D O R 、アライナ A L N を有する。例えばデータバス D B が 32 ビット、レジスタ D I R 、D O R のビット数が 32 ビットであるとき、前記アライナ A L N は、その入力側と出力側との間で 32 ビットに含まれる上位 16 ビットと下位 16 ビットとを入れ替えたりする。なお、図 2 において I C は命令キャッシュメモリ、D C はデータキャッシュメモリ、P C K は転送データをパリティチェックするための回路である。
- 30 【0029】バス制御部 B I F は、有効なアドレス送出を示すアドレスストローブ信号 A S * (* はローイネーブルであることを意味する) 、読み出しか書き込みかを示すリード／ライト信号 R / W * 、バスのパイプラインを行うかどうかを示すパイプライン信号 P P * 、データバス上において例えばバイト単位でデータの有効性を示すバイトコントロール信号 B C i (例えば 32 ビットバスの場合 i = 0 ~ 3 の 4 ビットの信号とされる) を出力し、また、外部からのデータ転送完了を示すデータ転送完了信号 D C * を入力する。バス制御部 B I F はその他にプロセッサ内部の制御を行うための信号も出力する。なお連続転送を行う場合にはバスサイズに応じてアドレ

ス加算機構ADDに加算情報を送り、アドレス出力レジスタAORの保持値を所定数だけ増加させ、次のバスサイクルで出力すべきアドレスを自動的に生成するようになっている。バス制御部BIFには物理空間管理機構3から所定の属性情報31が与えられ、例えば前記バイトコントロール信号BCIの生成に利用される。

【0030】マイクロプロセッサ1からアドレスバスABに出力されるアドレス信号及びバス制御部BIFから出力されるバス制御信号によってメインメモリ4が読み出し動作されると、その読み出しデータはデータバスDBを介してマイクロプロセッサ1に取り込まれる。このデータはアライナALNでバス制御部BIFからのバスサイズの情報に従ってデータバス上の有効な情報のみを抽出されてデータ入力レジスタDIRに送り込まれる。またデータはキャッシュ取り込み許可状態のときデータキャッシュDCにも取り込まれ、その後同一のアドレスでアクセスが行われるときには外部アクセスを行わずデータキャッシュDCからデータが読み出されることになる。なおキャッシュ取り込み許可／不許可状態は物理情報バッファPIBから属性情報31のひとつとして指定することができる。

【0031】マイクロプロセッサ1からアドレスバスABに出力されるアドレス信号及びバス制御部BIFから出力されるバス制御信号によってメインメモリ4に書き込み動作が指示されると、書き込みデータはデータ出力レジスタDORにセットされた後、アライナALNでバス制御部BIFからのバスサイズ情報に従ってデータバス上の有効なバイト位置に乗せられて出力される。またデータキャッシュDC上に書き込み先のアドレスが存在する場合には同時にデータキャッシュDCにも書き込みが行われる。なおパリティチェック機構PCKはデータ読み込み時にはデータバスに関するパリティチェックを行い、データ書き込み時にはデータバス上の情報に対してパリティビットを付加する機能を持つ。

【0032】命令読み込みの場合もデータ読み込みの場合と同様の動作をする。但し図には示していないが一般には命令はアライナALNを経由せずに命令制御ユニットの命令取り込み機構に直接転送される場合が多い。また命令キャッシュICやデータキャッシュDCには、特に図示はしていないが、一般には物理アドレスが入力されている。

【0033】〔3〕論理空間管理

【0034】前記命令制御実行ユニット11で生成されるアドレス情報はアドレス出力レジスタAORにセットされる。論理空間管理を行っているときには、論理空間管理機構2が機能する。この場合アドレス出力レジスタAORが保持するアドレス情報は論理アドレスと解釈され、論理空間管理機構2によって物理アドレスに変換される。

【0035】論理空間管理機構2は、図2に示されるよ

うに、論理アドレスと物理アドレスの変換表である論理空間管理テーブル（アドレス変換テーブル）ATを検索するための動的アドレス変換機構DATと、これにより得られた論理アドレスと物理アドレスとの関係対を一時的に記憶しておくアドレス変換バッファTLBとから構成される。アドレス出力レジスタAORから出力される論理アドレスはアドレス変換バッファTLBに取り込まれる。取り込まれた論理アドレスがアドレス変換バッファTLB内に登録されているものと一致する場合には、
10 対応する関係対から物理アドレスを得てアドレス変換バッファTLBから物理アドレス21が出力される。また、取り込まれた論理アドレスがアドレス変換バッファTLBに登録されていない場合には、動的アドレス変換機構DATによってアドレス変換テーブルベースレジスタATBRが指す論理空間管理テーブルATが検索され、検索によって得られた結果がデータバスDBを通してアドレス変換バッファTLBに登録され、その後、上記と同様にしてアドレス変換バッファTLBから物理アドレス21が出力される。尚、マイクロプロセッサ1が
20 論理空間管理を行っていないときには、1点鎖線の矢印で示されるようにアドレス変換バッファTLBをバイパスする経路を通じてアドレス出力レジスタAORの内容がそのまま物理アドレスとして出力される。このようにして得られた物理アドレス21はそのままアドレスバスABに出力される。
【0036】ここで、論理空間管理におけるアドレス変換方式としては、特に制限されないが、図3に示されるような2レベルページング方式を採用することができる。この方式は、論理空間を先ず大きなセグメントに分割し、夫々を更にページ単位に区分するという2段階の区分とされる。図3におけるセグメントテーブル及びページテーブルが前記論理空間管理テーブルATに構成されている。
30 【0037】〔4〕物理空間管理
【0038】物理管理機構3は、前記論理空間管理で生成される物理アドレス21若しくは命令制御実行ユニット11から出力される物理アドレス21を入力し、当該物理アドレスに対応する属性情報を取得したり、属性情報を必要に応じて修正したりする。物理空間管理機構3は、物理アドレスと対応付けられる属性情報を含む物理空間管理テーブルPMTを検索したり必要に応じて属性情報を書換制御するための物理テーブル検索制御機構PTSと、これによって得られた物理アドレスと属性情報の関係対を一時的に記憶しておく物理情報バッファPIBとから構成される。物理情報バッファPIBは、これに供給される物理アドレス21が物理情報バッファPIB内に登録されているものと一致するか否かを判定し、一致する場合には、対応する関係対から得た属性情報31をバス制御部BIFなどに出力する。バス制御部BIFは、その属性情報を従って、マイクロプロセッサ
40
50

1 内部の制御や外部バスの制御信号を生成する。またその物理アドレス 21 が物理情報バッファ P I B に登録されていない場合には物理アドレス 21 の出力が一時停止され、物理テーブル検索制御機構 P T S によって物理空間管理テーブルベースレジスタ P T B R が指す物理空間管理テーブル PMT が検索され、その検索結果がデータバス D B 並びに物理テーブル検索制御機構 P T S を経由して物理情報バッファ P I B に登録され、その後、物理アドレス 21 の出力を再開して上記と同様にして物理情報バッファ P I B から属性情報 31 を得てバス制御部 B I F に与える。物理アドレス信号 21 及びバス制御部 B I F から出力される制御信号によるメインメモリ 4 のアクセスが行われると、そのアクセスが読み出しか書き込みかの種別により必要に応じて参照情報や変更情報といった属性情報の書換を行う。このとき、物理情報バッファ P I B と物理空間管理テーブル PMT との内容の整合性を維持するように考慮される。即ち、物理情報バッファ P I B の属性情報を書き換えたときは必ずそれに対応する物理空間管理テーブル PMT の属性情報も変更する。

【0039】BWT はバスウォッチャであり、特に制限されないが、外部バスマスター モジュールによる書き込みサイクル時におけるアドレスバス上のアドレスを取り込み、データキャッシュ DC とメインメモリ 4 との記憶データの整合を保つたりするためのエントリ修正の指示を生成する。

【0040】〔5〕物理空間管理テーブル

【0041】図 4 には物理空間管理テーブル PMT の構造および検索方法の一例が示される。ここでは物理アドレスは 32 ビット構成としている。物理アドレスを上位側から 2、8、10 ビットに分割する。上位 2 ビットは物理アドレス空間を 1G バイトずつの領域に分割する。各領域には 1 本ずつ物理空間管理テーブルベースレジスタ P T B R が割当てられ、各領域に対応する物理空間管理テーブル PMT の先頭アドレスを指定する。次の 8 ビットは各領域内を 4M バイトずつのセクションに分割し、更に次の 10 ビットは各セクション内を 4k バイトずつのページに分割する。物理空間管理テーブル PMT はこの例では物理セクションテーブル P S T と物理ページテーブル P P T の 2 段で構成される。物理空間管理テーブルベースレジスタ P T B R は物理セクションテーブル P S T の先頭アドレスを指定する。また物理セクションテーブル P S T には物理ページテーブル P P T の先頭アドレスが含まれている。ある物理アドレスに対するテーブル検索は次のように行われる。まず物理アドレスの上位 2 ビット R で 4 本の物理空間管理テーブルベースレジスタ P T B R のうち 1 本が選択される。ここに含まれる値と物理アドレスの次の 8 ビット S を加算したものが物理セクションテーブル P S T 内の対応するエントリのアドレスとなる。さらにこのエントリに含まれる値と物理アドレスの次の 10 ビット P を加算したものが物理ペ

ージテーブル P P T 内の対応するエントリのアドレスとなる。この中に属性情報が記述されており、マイクロプロセッサ 1 はこの内容を読み込んで物理アドレスと対にして物理情報バッファ P I B に保持して使用する。前記加算演算は物理テーブル検索制御機構 P T S が行う。なお、この分割の場合、物理セクションテーブル P S T のエントリ数は 2 の 8 乗で 256 エントリ、物理ページテーブル P P T のエントリ数は 2 の 10 乗で 1024 エントリとなる。物理セクションテーブル P S T の一つのエントリが 4 バイト、物理ページテーブル P P T の一つのエントリが 1 バイトとすると、物理セクションテーブル P S T と物理ページテーブル P P T のテーブルサイズは共に 1k バイトとなり、管理を行うには手頃な大きさになる。

【0042】〔6〕物理空間管理テーブルのエントリ構成例

【0043】図 5 には物理空間管理テーブルを構成するエントリの構造の一例が示される。物理空間管理テーブルベースレジスタ P T B R は 32 ビットあり、上位 22 ビットには物理セクションテーブル P S T の先頭アドレスを示す物理セクションテーブルベース P S T B がセットされている。物理セクションテーブル P S T をアクセスする場合には下位 10 ビットは 0 が入っているものとみなす。従って物理セクションテーブル P S T は 1k バイト単位に置くことが可能である。下位 10 ビットの内訳は次のようになっている。

【0044】BS は 2 ビットありバスサイズを指定する。例えば BS = 00 は 8 ビット、01 は 16 ビット、10 は 32 ビット、11 は 64 ビットというような指定が可能である。

【0045】WT は同様に 2 ビットありメモリアクセス時のウェイトに関する指定を行う。例えば WT = 00 はウェイトなし、01 は 1 ウェイト、10 は 2 ウェイト、11 は外部機器からのデータ転送完了信号を待つというような指定が可能である。プロセッサが高速になるとデータ転送完了信号を外部で作る余裕がなくなる。このためプロセッサおよびメモリ自体は高速動作可能であるにもかかわらずウェイトを入れざるを得なくなる。このような場合に高速メモリに対して予めウェイト数を指定しておけば、プロセッサおよびメモリの最高性能を引き出すことができる。

【0046】PP はバスのパイプライン動作（アドレスパイプライン）を行うかどうかを指定する。PP = 0 ならパイプライン動作しない、1 ならパイプライン動作することを示す。バスパイプラインを行う場合、例えばアドレスを 2 クロック以内に外部でラッチしてもらうことを要求する。したがって、マイクロプロセッサ 1 は所定期間アドレスを出力するとバスサイクルの完了を待たずに次のアドレスを出力することができる。外部機器にとっては予め次のアドレスを知ることができるために早めに

応答準備を開始することができ、システム全体としての高速化に有効である。

【0047】WEは書き込みアクセスの許可を指定する。WE=0なら書き込みは禁止される。また1なら許可される。WE=0のアドレスに書き込みを行おうするとプロセッサはメモリ保護違反例外を発生する。この機能はデータの保護に有効である。

【0048】CBはキャッシュメモリのコピーバック（ライトバック）を行うかどうかを指定する。CB=0ならコピーバック禁止、1ならコピーバックすることを示す。対象となるキャッシュメモリはマイクロプロセッサ1に内蔵のものでも外部に接続されるものでもよい。例えば論理空間管理対象のメモリはコピーバック禁止、スタックやタスク固有の情報はコピーバック対象することが考えられる。

【0049】NCはキャッシュへの取り込み制御である。NC=0なら取り込み可能、1なら禁止を意味する。マルチプロセッサにおける共有メモリや、入出力装置が割り当てられているアドレスはキャッシュへの取り込みを禁止する必要がある。

【0050】PEはパリティイネーブルである。PE=0のときパリティチェック及びパリティ付加は行わず、1のときこれらを行うことを示す。

【0051】CTは物理セクションテーブルPSTがあるかどうかを示す。CT=0のときこのエントリに対する物理セクションテーブルPSTは存在しない。また1のときは物理セクションテーブルPSTが続くことを示す。CTを用いることによって物理空間管理テーブルベースレジスタPTBR一本分の管理する1Gバイト全体の属性が同一である場合、物理セクションテーブルPSTや物理ページテーブルPPTを用意する必要がなくなり、メモリの節約になると共に、ユーザは同一内容のテーブルを多数作成する煩わしさから開放される。CTが1の場合、物理空間管理テーブルベースレジスタPTBR内にあるBSからPEまでの情報は無視され次に続くテーブルの内容が有効になる。

【0052】物理セクションテーブルエントリ（物理セクションテーブルPSTの一つのエントリ）PSTEは物理空間管理テーブルベースレジスタPTBRと同一の内容を持つが、上位22ビットが物理ページテーブルPPTの先頭アドレスである点が異なる。なお後述するようにBS、PEは物理ページテーブルエントリPPTの記述内容が有効になる。

【0053】物理ページテーブルエントリ（物理ページテーブルPPTの一つのエントリ）PPTはこれまでのものと異なり、8ビット構成である。情報としては次段のテーブルアドレスおよび次段への継続を示すビットCTがなくなる。またページ毎に保持すべき論理空間関

連の属性情報として参照ビットR、変更ビットMが付加される。この結果は11ビットになるが、ここでは更にBS、PEの合計3ビットの情報を削って8ビットとなるように構成した。こうすることによって物理ページテーブルのサイズを半分の1kバイトに抑えることができる。尚、ページテーブルエントリPPTにおいて情報BS、PEを削除することにより、これらは最少4Mバイト単位で管理されることになるが、一般的な使用では支障ないと判断される。

10 【0054】(7) バスサイジング

【0055】図6には物理空間管理テーブルPMTによってバスサイズを管理するときのメモリの構成例が示される。メインメモリ4を構成するメモリ45、46、47はそれぞれバスサイズが32、16、8ビットである。またメモリアドレスは、例えば16進表示でメモリ45が0xx-xからBxx-xまで、メモリ46がCxx-xからExx-xまで、メモリ47がFxx-xに割り当てられている。マイクロプロセッサ1からはデータバス上の有効なバイト位置を示すバイトコントロール信号BC0~BC3が各メモリに入力されている。メモリはバイトを単位として構成されており、メモリ45はバイトコントロール信号BC0~BC3のそれぞれに対して応答する機能を持っている。しかしメモリ46はBC0とBC1に対してのみ応答する。

【0056】図7にはバスサイズ指定に対しマイクロプロセッサ1内のデータがどのようにバスに出力されるかを示す。例えばバスサイズ指定が16ビットであってプロセッサ内のデータが32ビットかつアドレス出力レジスタAORにセットされた書き込みアドレスが-xx1であるときを考える。バスサイズ指定が16ビットであることからデータバスの有効なバイト位置はバイトコントロール信号BC0、BC1に対応するバイト位置となる。この場合のバスの動作は次のようになる。最初のバスサイクルではBC1のみアサートされデータバス上の対応するバイトに最初の1バイトデータが出力される。次にアドレス出力レジスタAORは+1され、BC0、BC1がアサートされると共に対応するバイト位置に続くデータが出力される。AORは+2され最後のバスサイクルでBC0のみアサートされると共に対応するバイト位置にデータが最後の1バイト分出力される。なお書き込みの場合について説明したが読み込みの場合の動作も同様である。

【0057】図8は図6のメモリ構成に対するテーブル設定の例である。同図の例はバスサイズ制御にのみ注目した場合のテーブル設定例である。アドレス0xx-xからBxx-xまで3Gバイトの物理空間は図6に示されるように32ビット幅となっており物理空間管理テーブルベースレジスタPTBR1本は1Gバイトを管理するため、このアドレス範囲に対してはPTBR0~2のみでバスサイズの指定が可能である。この設定例に従えば、

当該3Gバイトの物理空間に関しては物理空間管理テーブルは不要であり、CT=0と設定しておきレジスタ中のBSにバスサイズを指定しておけばよい。

【0058】一方アドレスCxxx一からExxx一までの768Mバイトは16ビット幅、Fxxx一の256Mバイトは8ビット幅となっており、管理単位が1Gバイトの物理空間管理テーブルベースレジスタPTBRだけでは指定できない。従ってPTBR3においてCT=1として物理空間管理テーブルの使用を宣言すると共に、PSTBには物理セクションテーブルPSTの先頭アドレスを設定する。このときPTBR3の他の情報は無効になる。物理セクションテーブルPSTは1エントリの管理範囲が4Mバイトである。従ってPSTE0～PSTE191まではバスサイズ16ビット、PSTE192～PSTE255はバスサイズ8ビットを指定するよう設定を行う。この場合物理ページテーブルPPTは不要なので各PSTEのCTは0としておけばよい。

【0059】尚、図8のテーブル設定例はバスサイズの設定にのみ着目した例であり、実際にはその他の属性情報が存在するためテーブルの構成も細分化される。このとき、物理ページテーブルを必要としない物理領域、即ち、物理セクションテーブル又は物理空間管理テーブルベースレジスタにおけるビットCTが0にされて管理される物理領域は、I/Oアドレスのように物理メモリ上に固定的に存在していく欲しいところのページ入れ替え対象外とされる。ページ入れ替え対象外とされるので、本実施例に従えばその物理領域に対しては参照ビットRと変更ビットMも不要とされている。

【0060】[8] アドレスパイプライン

【0061】図9は、図8の属性情報設定においてさらにアドレスパイプライン有効と設定した場合のバスの動作をタイミングチャートで示したものである。アドレスaの値は16進表示でBFFF FFFF FCであってバスサイズが32ビットから16ビットに切り替わる境界のアドレスである。また読み込みデータは連続転送することを仮定している。バスは2クロックで動作する。しかしアドレスからデータ出力までは3クロック必要であり、アドレスパイプライン動作によってこのギャップを解消している。クロック1ではアドレスaが出力されると共に、アドレスストローブAS*、パイプライン信号PP*がアサートされる。アドレスaはクロック2まで出力された後データ転送の完了を待たずに次のアドレスa+4の出力が開始される。データDI(0)はクロック3でマイクロプロセッサ1に到着し、この状態はデータ完了信号DC*でマイクロプロセッサ1に通知される。このような動作はメモリ側がアドレスパイプライン動作に対応するためのアドレスラッチ機構などを備えた構成となっているために可能になる。

【0062】この例ではバスサイズの切り替わりでもバスのパイプライン動作が可能にされる。これは、マイク

ロプロセッサ1内部のバス制御部BIFが物理情報バッファPIBから出力されるバスサイズ情報をもらってバイトコントロールのための信号を形成して出力するからである。ダイナミックバスサイジングの場合にはクロック2ないし3の時点でアドレスaに対するバス幅が外部のバス制御回路から報告される。従ってアドレスの加算が可能になるのは早くてもクロック3からであり、クロック3から次のアドレスを発行することはできない。このように物理アドレスのバスサイズ情報を物理空間管理テーブルを介して予め指定することによってアドレスパイプラインとバスサイジングとの両立が可能になる。

【0063】[9] マルチプロセッサシステム

【0064】図10には論理空間管理機構2を持つマルチプロセッサのシステム構成例が示される。各マイクロプロセッサ1-1, 1-2はローカルメモリ43-1, 43-2の他にバスインターフェース6-1, 6-2を通じて共有メモリ44をアクセスすることができる。また共有メモリ44は論理空間管理の対象となっており2次記憶装置5との間でページ単位で転送(ページ入れ替え)が発生する。仮想記憶システムにおける論理空間は一般的に2次記憶装置5に対応付けられており、ある論理アドレスのページがメモリ上に用意されていない場合、オペレーティングシステムの介在によって2次記憶装置からのページの転送が発生する。この時オペレーティングシステムはメモリ上にあって最近参照されていないページをまず検索する。この機能をサポートするために前記参照ビットRが存在する。またそのページに書き込みが行われたかどうかに従って2次記憶装置への書き戻しを行うかどうかを決定する。書き込みが行われていなければ書き戻す必要はなく転送時間が節約できる。この機能をサポートするために前記変更ビットMがある。これらのビットR, Mは物理的なメモリ属性情報の一つであり、前記物理空間管理テーブルPMT上に用意されている。この図では共有メモリ44のページイメージが物理空間管理テーブルPMTに1対1に対応して設けられている状態が一例として図示されている。

【0065】オペレーティングシステムの介在による前記ページ入れ替えのための処理では、物理空間管理テーブルPMTの内容を順次スキャンして、参照ビットR及び変更ビットMを調べていく。このとき、前記参照ビット及び変更ビットなどの属性情報は物理アドレスとを直接対応づけ可能なように当該テーブルPMTに保有されているので、前記命令制御実行ユニット11で直接物理アドレスを生成して当該スキャン動作を行うことができ、そのための処理は極めて簡単であり、オペレーティングシステム若しくはソフトウェアへの負担が軽減されて処理速度が向上する。

【0066】このシステム構成においてそれぞれのプロセッサ1は内部に物理空間管理テーブルPMTのコピーである物理情報バッファPIBを持っており、そこには

変更ビットMもコピーされている。今プロセッサ1-2が共有メモリ44に書き込みを行うことを考える。またそのページに関する属性情報がそれぞれの物理情報バッファP I B-1とP I B-2の両方に既にコピーされており、変更ビットMは0になっている、即ちまだ書き込みされていないことを意味しているものとする。ここでプロセッサ1-2が共有メモリ44に書き込みを行うと、物理管理テーブル検索制御機構P T S-2は物理空間管理テーブルP M Tの対応する属性情報関係対の変更ビットMを1に書き換える。また同時にそのコピーであるプロセッサ1-2内の物理情報バッファP I B-2についても該当するアドレスの関係対の変更ビットMを1に書き換える。

【0067】マルチプロセッサシステムの場合、同一関係対のコピーは更に他のプロセッサ即ちここではプロセッサ1-1にも存在する。従ってプロセッサ1-1内の物理情報バッファP I B-1の該当アドレスに対する関係対の変更ビットMに対しても同様の書き換えを行う必要がある。この方法にはプロセッサ1-2がプロセッサ1-1に対して何等かの信号線により書き換えを知らせる方法と、プロセッサ1-1がバス上の情報を監視し、共有メモリ44への書き込みが発生した場合にはそのアドレスをモニタし物理情報バッファP I B-1に反映させる方法がある。本実施例では、前記バスウォッチャB WTを利用して後者のバスモニタ形式を採用する。このようにして各プロセッサ1内の物理情報バッファP I Bの内容が物理空間管理テーブル41と同一になることを保証することができる。

【0068】図11には図10のシステム構成において論理空間管理を行うマルチプロセッサシステムにおけるファイルの割当て状況の一例が示される。物理メモリ(1次記憶44)は考察を簡単にするため図11の(a)に示すように1~4の4ページのみ存在するものとする。またファイル(2次記憶5)上にはa, b, c, d等のページがあるものとする。プロセッサ1-1とプロセッサ1-2は別々に論理空間管理されており、論理空間上の論理ページ(仮想ページとも記す)とファイル上のページの対応も異なる。例えば、論理空間上のファイル割当において、論理空間上のページ5, 6に対し、プロセッサ1-1ではファイル上のページa, bが対応し、プロセッサ1-2ではファイルのページe, fが対応している。

【0069】図12には前記図11の(b)に示される)ファイル割付けのもとでの物理メモリの使用状況と変更ビットMの設定状況が示される。図12の(a)における第1枠は経過時間を示し、第2枠はプロセッサ1-1によるアクセス状況を示し、第3枠はプロセッサ1-2によるアクセス状況を示す。第2及び3枠内の上段はアクセスする論理空間上のページ番号であり、下段はそのアクセスが書き込み(W)であるか読み出し(R)であ

るかを示す。また第3乃至6枠は物理メモリの各ページに対して割り当てられるファイル上のページを示す。ハッキングはファイルからメモリに転送された後メモリ上のデータに対して書き込みが行われたことを意味する。

【0070】物理メモリの使用状況の推移は次のようになる。物理メモリのページ3に注目する。物理メモリ3へのファイルの取り込みは経過時間3で行われる。このときプロセッサ1-1は仮想ページ3からの読み出しを行おうとしている。これはファイルのcに対応するがま

10 だメモリには取り込まれていない。従ってプロセッサ1-1はページ不在例外を発生しファイルからページcの読み込みを行う。転送先はまだ使用されていない物理ペー

ジ3である。この転送処理の後プロセッサ1-1は仮想ページ3に対して読み出しアクセスを行いこれは実際には物理ページ3へのアクセスとなる。次に経過時間4においてプロセッサ1-2が仮想ページ3に対して書き込みを行う。このページはファイル上のcであり物理ペー

20 ジ3に対応する。次に経過時間7ではプロセッサ1-2が仮想ページ5からの読み出しを行おうとするがこれに対応するファイルのeはまだメモリ上に取り込まれていない。そこでプロセッサ1-2は現在いちばん使用されていないページとして物理ページ3を選択し、この内

容をファイルに書き戻してここに新しくeをファイルから取

り込む処理を行う。このようにして物理ページ3の内

容はファイル上のeに変更される。

【0071】ここでアドレス変換テーブル上に変更ビットMがある場合の、経過時間6までの変更ビットMの状況が図12の(b)に示される。この場合は仮想ページ

30 対する書き込みのみ管理の対象とするものであるから、プロセッサ1-1については物理ページ1に割り当てられる同一内容aを持つ仮想ページ1と仮想ページ5の夫々の変更ビットMが相互に異なる現象を生ずる。これは、図1において概念的に示されるように、論理空間

100の論理ページ1, 5が経時的に物理空間4の物理ページ1に割り当てられた状態であり、論理ページ1, 5に対応する論理空間管理テーブルA Tの別々の場所に変更ビットMが保有されるからである。また論理ページ3はプロセッサ1-1とプロセッサ1-2とでは同一の内容cに対するものであるにもかかわらず変更ビットMの値が異なる。これも夫々のマイクロプロセッサ1-

1, 1-2が個々に固有の論理空間管理機構2-1, 2-2を介して変更ビットMのような属性情報を論理空間に対応づけて管理するからである。従ってオペレーティングシステムはこのことを充分認識した上で論理空間管理を行わなくてはならず。ページ入れ替えなどの処理が複雑化し、且つその処理にも時間がかかる。

【0072】同様に物理空間管理テーブルP M Tで変更ビットMを管理するとき、時間6が経過するまでの変更ビットMの状況が図12の(c)に示される。この場合50 仮想ページに対してどのような書き込みが行われても物

理ページに対する実際の書き込みのみを管理するので上記のような不一致が生じることはない。結果としては物理ページの1、2、3が変更されていることを変更ビットMを見ることによって知ることができる。なおこの場合物理ページの管理単位は仮想ページの管理単位と一致するかそれより小さいことが要求される。従って例えば仮想ページのサイズが4 kBの場合は物理ページのサイズも4 kBとすることが適当である。

【0073】上記実施例によれば以下の作用効果がある。

【0074】(1) マイクロプロセッサ1の外部に配置される物理空間管理テーブルPMTには物理空間の利用形態若しくはマッピング状態に応じ必要とされる如何様な属性情報をも配置しておくことができ、且つ、マイクロプロセッサ1内部の記憶手段の記憶容量に影響されない。したがって、システムの要求仕様に応じて物理空間をその用途などに応じて如何様に細かくマッピングしても、バスサイズやページ入れ替えのために利用される参照並びに変更情報など物理空間に関する属性情報を、システムで要求される細かさ若しくは分解能をもって管理することができる。

【0075】(2) マイクロプロセッサ1は物理空間管理テーブルPMTから検索した属性情報を物理アドレスと対応づけて一次的に保持するバッファ手段PIBを有し、アクセス動作に際してその物理アドレスに対応する有効なエントリが当該バッファ手段PIBにある場合にはその属性情報を利用する。したがって、物理空間に関する属性管理のための構成がマイクロプロセッサ1のチップ面積増大をもたらさず、且つバスサイズ情報などの属性情報を利用するための指示の生成を高速化することができる。

【0076】(3) 物理空間管理テーブルPMTに対して、物理セクションテーブルや物理ページテーブルのような複数レベルのテーブル構造を採用することにより、また、物理空間管理テーブル検索制御手段PSTは、物理空間管理テーブルPMTのアドレスを指定するための単数若しくは複数のベースレジスタPTBRを有し、ベースレジスタPTBRの値と物理アドレスの一部との演算で得られる値、又は/及び、この値と前記物理アドレスの残りの一部又は全部との演算で得られる値に基づいて物理空間管理テーブルを検索することにより、物理空間管理テーブルPMTのためのメモリ利用効率を向上させ、且つ、物理空間に対する属性情報の管理を極めて細かく行うことを可能にする。

【0077】(4) 物理アドレスのバスサイズ情報が物理空間管理テーブルを介して予め指定され、マイクロプロセッサ1内部のバス制御部BIFが物理情報バッファPIBから出力されるバスサイズ情報をもらってバイトコントロールのための信号を形成するから、バスサイズの切り替わりでもアドレスパイプライン動作を確実に行

うことができる。

【0078】(5) 属性情報は物理空間に直接的に対応付けされて管理され、論理空間上の異なるアドレスに対して同一の物理アドレスを割り付けるページ共有を行った場合、およびマルチプロセッサ構成において各プロセッサが別々の論理空間管理テーブルを使用する場合でも、一つの物理アドレスに対して一つの参照、変更情報が対応される。これにより、参照、変更情報と物理アドレスの相互間で矛盾を生ぜず、且つ、参照、変更情報の管理を極めて容易に行うことができる。

【0079】以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0080】例えば上記実施例では論理空間管理機構をマイクロプロセッサの内部に有する構造を一例として説明したが、メモリマネージメントユニットのような論理空間管理機構をマイクロプロセッサの外部に配置するシステムであってもよい。また、物理空間管理テーブルの構造は上記実施例の2レベル構造に限定されない。更に属性情報は上記実施例で説明したもの全て含まなくてもよく、また別の属性情報を含んでもよい。

【0081】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0082】すなわち、マイクロプロセッサの外部に配置される物理空間管理テーブルには物理空間の利用形態若しくはマッピング状態に応じ必要とされる如何様な属性情報をも配置しておくことができ、且つ、マイクロプロセッサ1内部の記憶手段の記憶容量に影響されないから、システムの要求仕様に応じて物理空間をその用途などに応じて如何様に細かくマッピングしても、バスサイズやページ入れ替えのために利用される参照並びに変更情報など物理空間に関する属性情報を、システムで要求される細かさ若しくは分解能をもって管理することができるという効果がある。

【0083】マイクロプロセッサは物理空間管理テーブルから検索した属性情報を物理アドレスと対応づけて一次的に保持するバッファ手段を有し、アクセス動作に際してその物理アドレスに対応する有効なエントリが当該バッファ手段にある場合にはその属性情報を利用する。したがって、物理空間に関する属性管理のための構成がマイクロプロセッサのチップ面積増大をもたらさず、且つバスサイズ情報などの属性情報を利用するための指示の生成を高速化することができるという効果がある。

【0084】物理空間管理テーブルに対して、物理セクションテーブルや物理ページテーブルのような複数レベルのテーブル構造を採用することにより、物理空間管理テーブルのためのメモリ利用効率を向上させ、且つ、物

理空間に対する属性情報の管理を極めて細かく行うことができるという効果がある。

【0085】物理アドレスのバスサイズ情報が物理空間管理テーブルを介して予め指定され、マイクロプロセッサ内部のバス制御部が物理情報バッファから出力されるバスサイズ情報をもらってバイトコントロールのための信号を形成するから、バスサイズの切り替わりでもアドレスペイライン動作を確実に行うことができるという効果がある。

【0086】属性情報は物理空間に直接的に対応付けされて管理され、論理空間上の異なるアドレスに対して同一の物理アドレスを割り付けるページ共有を行った場合、およびマルチプロセッサ構成において各プロセッサが別々の論理空間管理テーブルを使用する場合でも、一つの物理アドレスに対して一つの参照、変更情報が対応される。これにより、参照、変更情報と物理アドレスの相互間で矛盾を生ぜず、且つ、参照、変更情報の管理を極めて容易に行うことができるという効果がある。

【図面の簡単な説明】

【図1】図1は本発明が適用される記憶管理の概要を示す一例説明図である。

【図2】図2は図1に示した記憶管理を適用した本発明の一実施例に係る記憶管理システムのブロック図である。

【図3】図3は論理空間管理におけるアドレス変換方式の一例としての2レベルページング方式の説明図である。

【図4】図4は物理空間管理テーブルの構造および検索方法の一例説明図である。

【図5】図5は物理空間管理テーブルを構成するエントリの一例構造説明図である。

【図6】図6は物理空間管理テーブルによってバスサイズを管理するときのメモリの一例構成説明図である。

【図7】図7はバスサイズ指定に対しマイクロプロセッサ内のデータがどのようにバスに出力されるかを示す一例説明図である。

【図8】図8は図6のメモリ構成に対する物理管理テーブルの設定例を示す説明図である。

【図9】図9はアドレスペイラインとバスサイジングとを並行させる場合の一例動作タイミングチャートである。

【図10】図10は論理空間管理機構を持つマルチプロセッサシステムの一例ブロック図である。

* 【図11】図11は図10のシステム構成において論理空間管理を行うマルチプロセッサシステムにおけるファイルの割当状況の一例を示す説明図である。

【図12】図12は前記図11のファイル割付けのものでの物理メモリの使用状況と変更ビットMの設定状況を示す一例説明図である。

【図13】図13は物理空間上の一例メモリマッピング図である。

【図14】図14は内蔵レジスタを利用してバスサイズを管理する従来技術の説明図である。

【符号の説明】

1 マイクロプロセッサ

11 命令制御及び実行ユニット

2 論理空間管理機構

21 物理アドレス

T L B アドレス変換バッファ

D A T 動的アドレス変換機構

A T 論理空間管理テーブル

3 物理空間管理機構

20 31 属性情報

B S バスサイズ情報

R 参照ビット

M 変更ビット

P I B 物理情報バッファ

P T S 物理テーブル検索制御機構

P M T 物理空間管理テーブル

P T B R 物理空間管理テーブルベースレジスタ

P S T 物理セクションテーブル

P P T 物理ページテーブル

30 4 メインメモリ(1次記憶)

5 磁気ディスク装置(2次記憶)

B I F バス制御部

B C O 乃至 B C 3 バイトコントロール信号

I C 命令キヤッショ

D C データキヤッショ

P C K パリティチェック機構

A O R アドレスレジスタ

A D D アドレス加算機構

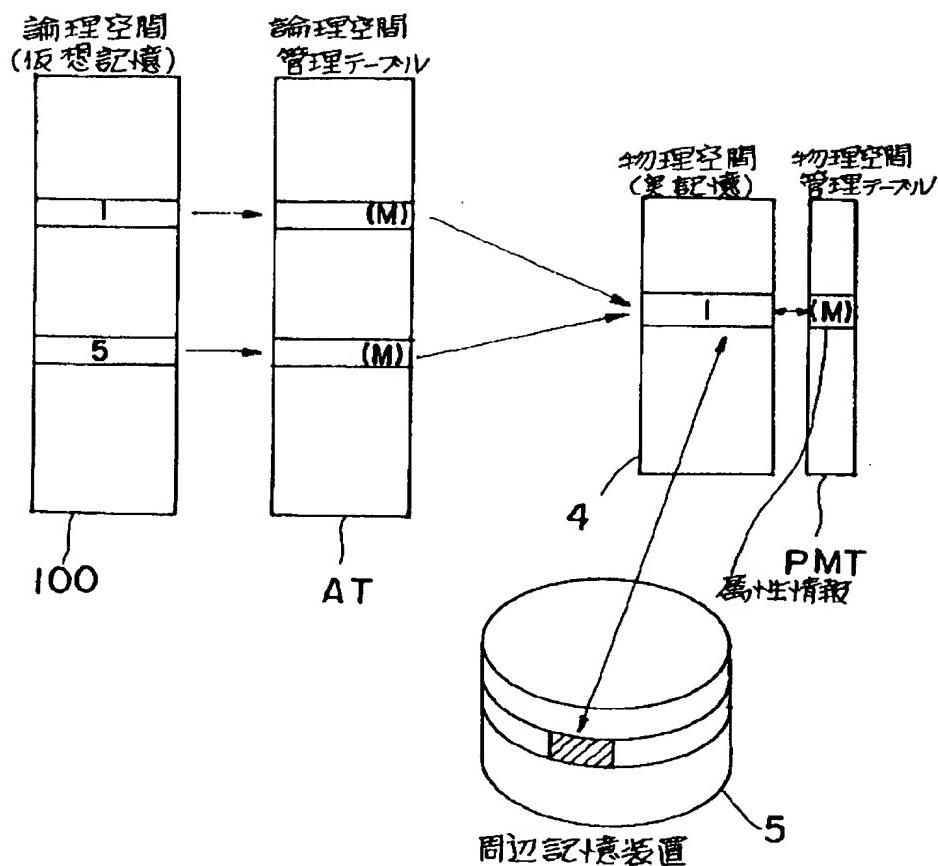
D I R データ入力レジスタ

40 D O R データ出力レジスタ

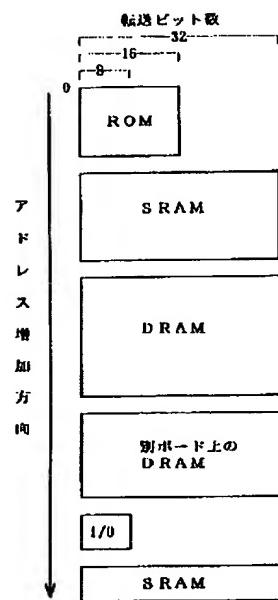
A L N アライナ

6 バスインターフェース

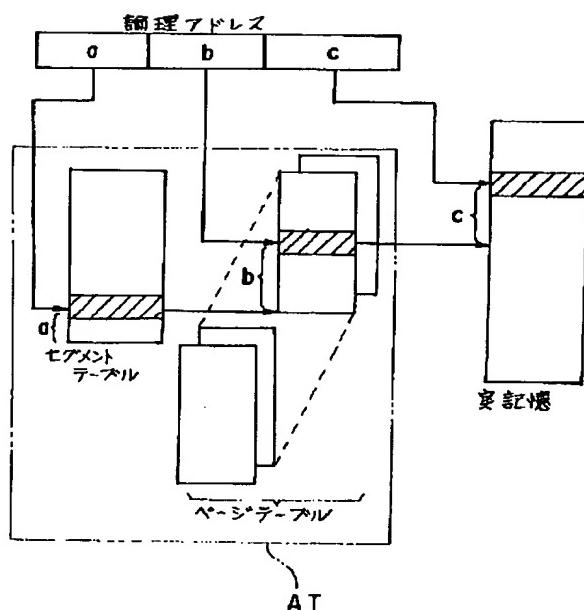
【図1】



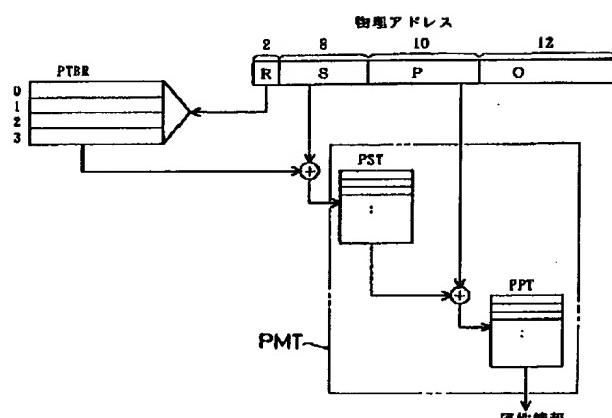
【図13】



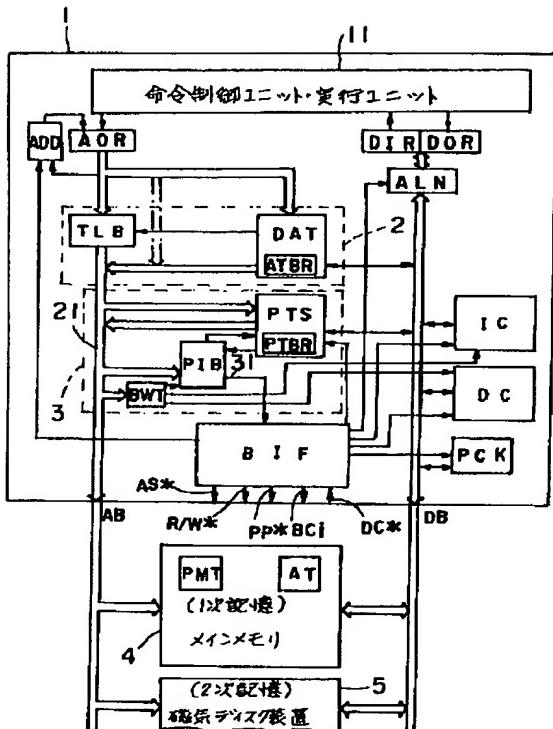
【図3】



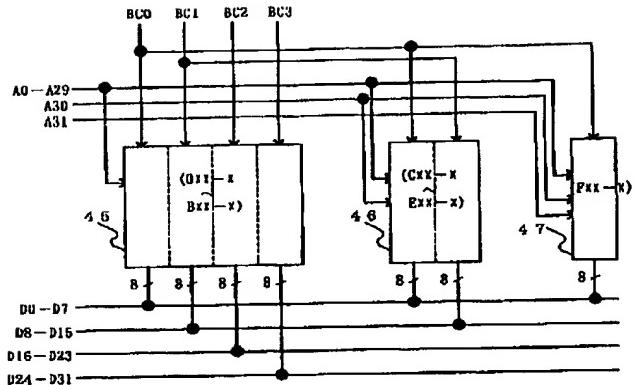
【図4】



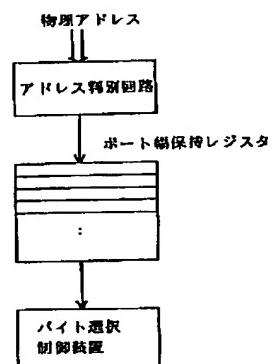
【図2】



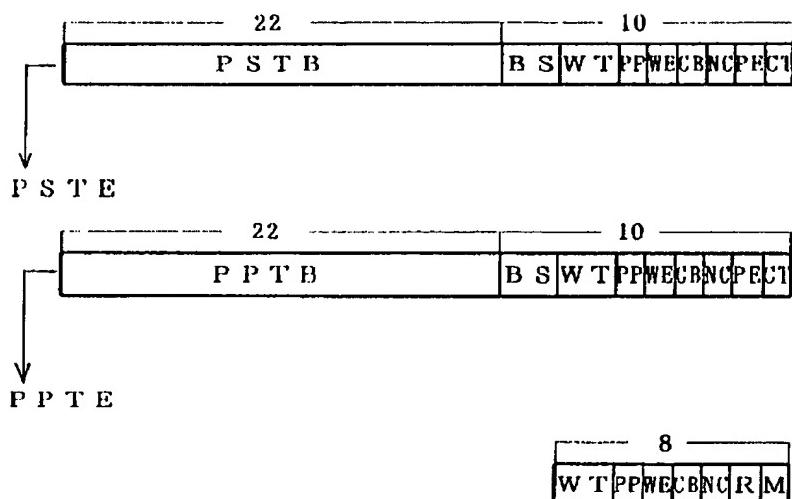
【図6】



【図14】



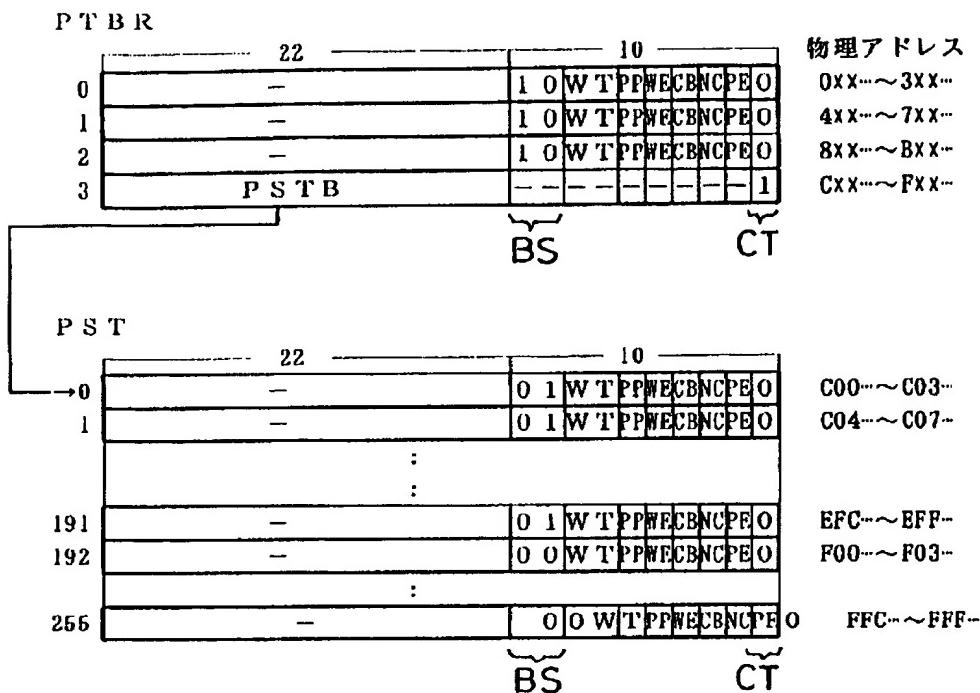
P T B R



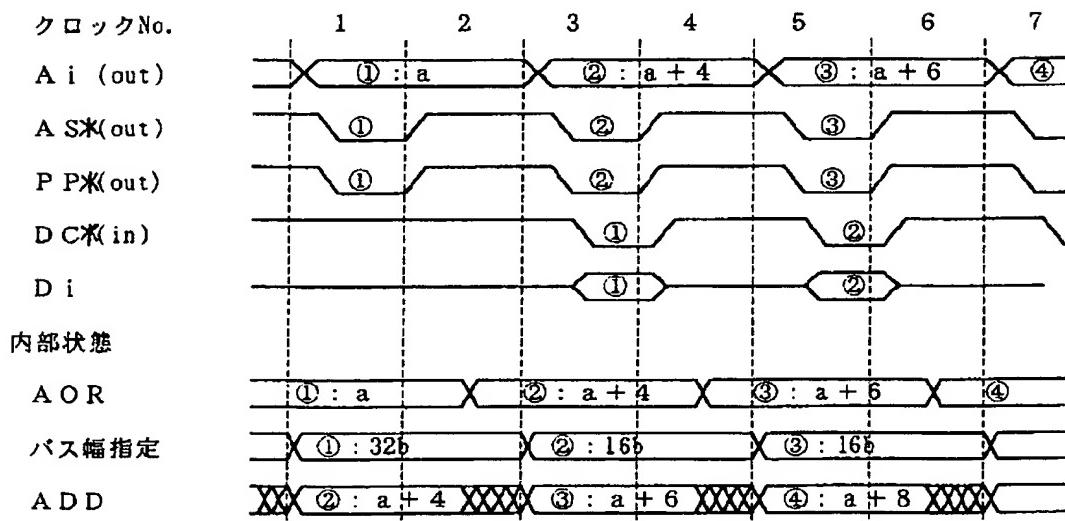
【図7】

バスサイズ指定	データサイズ	AOR		バイトコントロール信号				AOR加算値 (ADD値)		
		30	31	BC0	BC1	BC2	BC3			
8bit	8bit	8	bit	×	×	O	-	-	+1	
		16	bit	×	×	O	-	-	+1	
					O	-	-	+1		
		32	bit	×	×	O	-	-	+1	
					O	-	-	+1		
					O	-	-	+1		
					O	-	-	+1		
	16bit	8	bit	×	0	O	-	-	+1	
					X	1	-	O	-	+1
		16	bit	×	0	O	O	-	+2	
					X	1	-	O	-	+1
		32	bit	×	0	O	O	-	+2	
					O	O	-	-	+2	
					X	1	-	O	-	+1
					O	O	-	-	+2	
					O	-	-	-	+1	
32bit	8bit	0	0	O	-	-	-	-	+1	
		0	1	-	O	-	-	-	+1	
		1	0	-	-	O	-	-	+1	
		1	1	-	-	-	O	-	+1	
	16bit	0	0	O	O	-	-	-	+2	
		0	1	-	O	O	-	-	+2	
		1	0	-	-	O	O	-	+2	
		1	1	-	-	-	O	-	+1	
	32bit	0	0	O	O	O	O	-	+4	
		0	1	-	O	O	O	-	+3	
		1	0	-	-	O	O	-	+1	
		1	1	-	-	-	O	-	+2	

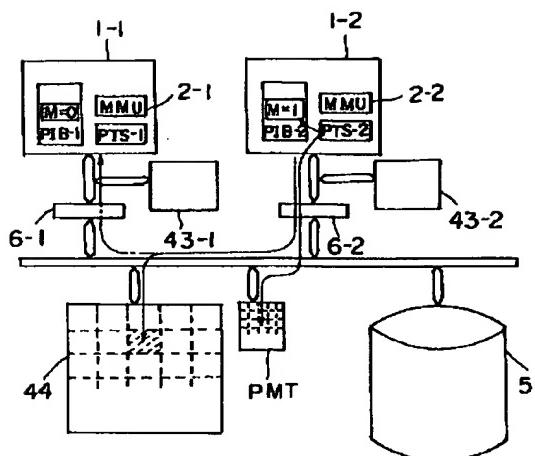
〔図8〕



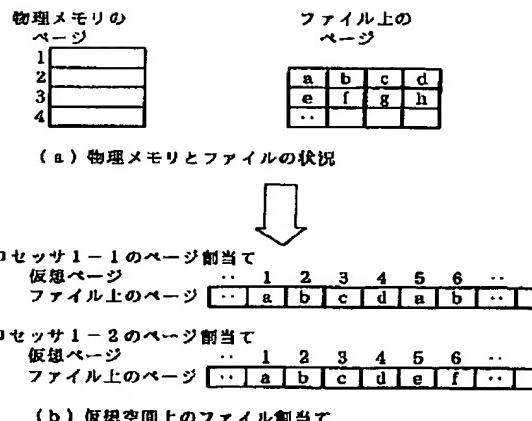
【図9】



【図10】



【図11】



【図12】

経過時間	1	2	3	4	5	⑥	7	8
プロセッサ 1-1 の仮想ページアクセス	1	2	3	4	5	6	1	2
	R	W	R	R	W	R	R	R
プロセッサ 1-2 の仮想ページアクセス	-	-	3	4	1	2	5	6
			W	R	R	R	R	R

物理メモリページ 1	a	a	a	a	a	a	a	a
物理メモリページ 2	b	b	b	b	b	b	b	b
物理メモリページ 3	c	c	c	c	c	e	e	e
物理メモリページ 4	d	d	d	d	d	d	f	f

(a) プロセッサのアクセスと物理メモリ割当て経過

↓

プロセッサ 1-1 のMビット
仮想ページ
ファイル上のページ
Mビット

1	2	3	4	5	6
a	b	c	d	a	b
0	1	0	0	1	0

プロセッサー 2 のMビット
仮想ページ
ファイル上のページ
Mビット

1	2	3	4	5	6
a	b	c	d	-	-
0	0	v1	0	-	-

(b) 経過時間 6 におけるアドレス変換テーブル上のMビット

↓

物理ページ
ファイル上のページ
Mビット

1	2	3	4
a	b	c	d
1	1	1	0

(c) 時刻⑥における物理空間管理テーブル上のMビット